

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-124635

(43)Date of publication of application : 26.04.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 2000-315360

(71)Applicant : OTSUKA KANJI
USAMI TAMOTSU
MATSUSHITA ELECTRIC IND CO
LTD
OKI ELECTRIC IND CO LTD
SANYO ELECTRIC CO LTD
SHARP CORP
SONY CORP
TOSHIBA CORP
NEC CORP
HITACHI LTD
FUJITSU LTD
MITSUBISHI ELECTRIC CORP
ROHM CO LTD

(22)Date of filing : 16.10.2000

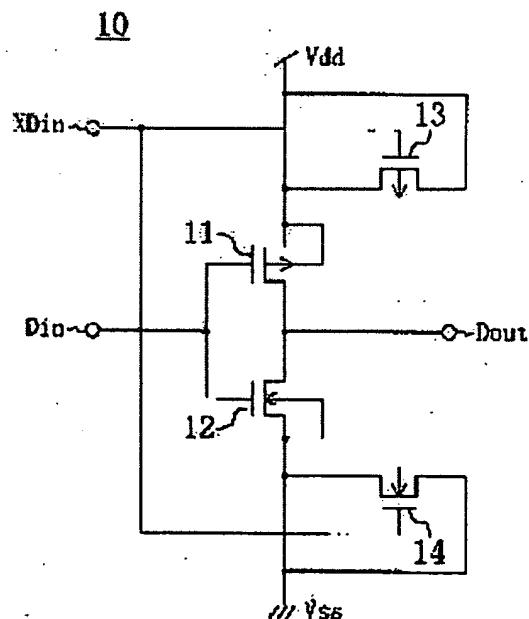
(72)Inventor : OTSUKA KANJI
USAMI TAMOTSU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT HAVING VARACTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve rapid switching of a transistor, by providing a circuit for forcibly pumping up or down necessary charge to a state transition of the transistor.

SOLUTION: A line driver 10 of a CMOS configuration for inputting a signal Din and outputting a signal Dout is constituted by a pMOS transistor 11 and an nMOS transistor 12. A pMOS varactor 13 is interposed between a source of the transistor 11 and a power source Vdd, and an nMOS varactor 14 is interposed between a source of the transistor 12 and a ground Vss. Both the varactors 13 and 14 have entirely the same size structure as those of the transistor 11 and the transistor 12 or twice the channel area. An inverted signal XDin of the input signal Din is given to the gates of the varactors 13 and 14.



LEGAL STATUS

[Date of request for examination] 11.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3549479

[Date of registration] 30.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-124635

(P2002-124635A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int.Cl.⁷

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

テ-マ-ト*(参考)

M 5 F 0 3 8
V

審査請求 有 請求項の数13 OL (全 9 頁)

(21) 出願番号 特願2000-315360(P2000-315360)

(22) 出願日 平成12年10月16日 (2000.10.16)

(71) 出願人 598042633

大塚 寛治

東京都東大和市湖畔2-1074-38

(71) 出願人 598168807

宇佐美 保

東京都国分寺市西町2-38-4

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

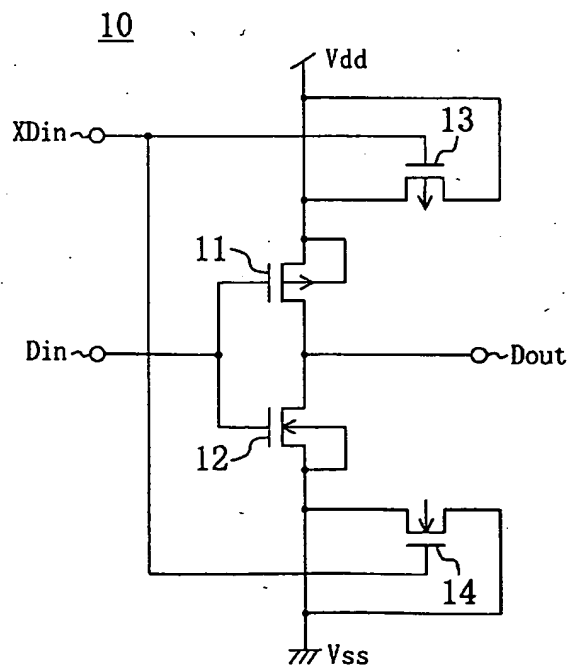
最終頁に続く

(54) 【発明の名称】 バラクタデバイスを備えた半導体集積回路

(57) 【要約】

【課題】 トランジスタの状態遷移に必要な電荷を強制的にポンプアップ、ポンプダウンする回路を設けることにより、当該トランジスタの高速スイッチングを実現することにある。

【解決手段】 pMOSトランジスタ11とnMOSトランジスタ12とにより、信号Dinを入力とし、信号Doutを出力とするCMOS構成のラインドライバ10を構成する。pMOSトランジスタ11のソースと電源Vddとの間にpMOSバラクタ13を、nMOSトランジスタ12のソースとグランドVssとの間にnMOSバラクタ14をそれぞれ介在させる。両MOSバラクタ13、14は、各々pMOSトランジスタ11及びnMOSトランジスタ12と全く同じ寸法構造ないしは2倍のチャネル面積を有する。両MOSバラクタ13、14の各々のゲートには、入力信号Dinの反転信号XDinを与える。



【特許請求の範囲】

【請求項1】 ある信号に呼応してオン・オフするように半導体基板上に形成されたスイッチングデバイスと、前記信号の電圧レベルに応じた可変の容量を有し、かつ前記信号の遷移時に前記スイッチングデバイスとの間で電荷の授受を行うことにより前記スイッチングデバイスの高速状態遷移を助けるように前記半導体基板上に形成されたバラクタデバイスとを備えたことを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、前記バラクタデバイスは前記スイッチングデバイスと隣接する位置に形成されたことを特徴とする半導体集積回路。

【請求項3】 請求項1記載の半導体集積回路において、前記バラクタデバイスの容量変化幅は前記スイッチングデバイスの容量変化幅の1～2倍であることを特徴とする半導体集積回路。

【請求項4】 請求項1記載の半導体集積回路において、前記スイッチングデバイスに対する前記バラクタデバイスの配設が高速信号系に限定されたことを特徴とする半導体集積回路。

【請求項5】 請求項1記載の半導体集積回路において、前記スイッチングデバイスに対する前記バラクタデバイスの配設が入出力回路に限定されたことを特徴とする半導体集積回路。

【請求項6】 請求項1記載の半導体集積回路において、前記スイッチングデバイスはMOSトランジスタであることを特徴とする半導体集積回路。

【請求項7】 請求項6記載の半導体集積回路において、前記バラクタデバイスはMOSバラクタであることを特徴とする半導体集積回路。

【請求項8】 請求項7記載の半導体集積回路において、前記MOSバラクタはエンハンスメント型であることを特徴とする半導体集積回路。

【請求項9】 請求項7記載の半導体集積回路において、前記MOSバラクタはディプレッション型であることを特徴とする半導体集積回路。

【請求項10】 請求項6記載の半導体集積回路において、前記バラクタデバイスはpn接合型バラクタであることを特徴とする半導体集積回路。

【請求項11】 請求項1記載の半導体集積回路において

て、前記スイッチングデバイスはpチャネル型MOSトランジスタであり、かつ前記バラクタデバイスはpチャネル型MOSバラクタであることを特徴とする半導体集積回路。

【請求項12】 請求項1記載の半導体集積回路において、前記スイッチングデバイスはnチャネル型MOSトランジスタであり、かつ前記バラクタデバイスはnチャネル型MOSバラクタであることを特徴とする半導体集積回路。

【請求項13】 請求項1記載の半導体集積回路において、前記スイッチングデバイスはバイポーラトランジスタであり、かつ前記バラクタデバイスはpn接合型バラクタであることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、特にデジタル回路におけるトランジスタの高速スイッチング技術に関するものである。

【0002】

【従来の技術】デジタル半導体集積回路において、トランジスタは、ある信号に呼応してオン・オフするスイッチである。トランジスタの状態を遷移させるためには、当該トランジスタの寄生容量に蓄積された電荷を放出させたり、当該トランジスタへ電荷を供給したりする必要がある。このような電荷の移動には時間がかかる。特に電源ラインの寄生インダクタンスは、電源からトランジスタへの瞬時電荷供給の阻害要因となっている。そこで、寄生インダクタンスを下げるように集積回路チップ内にバイパスキャパシタを設けることが最近の動きである。

【0003】

【発明が解決しようとする課題】ところが、GHz帯の信号を取り扱う応用分野では、バイパスキャパシタを設けてもトランジスタの電荷蓄積に間に合わない。すなわち、電源系の電荷供給能力がチップ全体の周波数特性を律則している。具体的には、瞬時の電流増大に起因して電源電圧の低下やグラウンドレベルの上昇が起り、瞬時電流が制限されるのである。

【0004】本発明の目的は、トランジスタの状態遷移に必要な電荷を強制的にポンプアップ、ポンプダウンする回路を設けることにより、当該トランジスタの高速スイッチングを実現することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明では能動的な可変容量素子を活用する。これにより、電荷の積極的なポンプアップ、ポンプダウンはもちろん、トランジスタ蓄積電荷の再利用をも実現する

ことができる。

【0006】具体的に説明すると、本発明に係る半導体集積回路は、ある信号に呼応してオン・オフするように半導体基板上に形成されたスイッチングデバイスと、前記信号の電圧レベルに応じた可変の容量を有し、かつ前記信号の遷移時に前記スイッチングデバイスとの間で電荷の授受を行うことにより前記スイッチングデバイスの高速状態遷移を助けるように前記半導体基板上に形成されたバラクタデバイスとを備えた構成を採用したものである。

【0007】高能率の電荷授受を達成するためには、バラクタデバイスをスイッチングデバイスと隣接する位置に形成する。バラクタデバイスの容量変化幅は、スイッチングデバイスの容量変化幅の1〜2倍であることが好ましい。スイッチングデバイスに対するバラクタデバイスの配設を、半導体集積回路中の高速信号系あるいは入力回路に限定してもよい。

【0008】

【発明の実施の形態】以下、高速信号系のラインドライバへの本発明の適用例について、図面を参照しながら説明する。

【0009】図1は、本発明に係る半導体集積回路の第1の基本構成例を示している。図1において、pチャネル型MOSトランジスタ（pMOSトランジスタ）11とnチャネル型MOSトランジスタ（nMOSトランジスタ）12とは、信号Dinを入力とし、信号Doutを出力とするCMOS構成のラインドライバ10を構成している。pMOSトランジスタ11のソースと電源Vddとの間にはpチャネル型MOSバラクタ（pMOSバラクタ）13が、nMOSトランジスタ12のソースとグラ
30
ンドVssとの間にはnチャネル型MOSバラクタ（nMOSバラクタ）14がそれぞれ介在している。両MOSバラクタ13、14は、各々pMOSトランジスタ11及びnMOSトランジスタ12と全く同じ寸法構造ないしは2倍のチャネル面積を有する。両MOSバラクタ13、14の各々のゲートには、Dinの反転信号であるXDinが与えられる。

【0010】図2は、図1の半導体集積回路の断面構造を示している。図2において、20はp型半導体基板（p基板）、21はnウェルである。pMOSトランジスタ11とpMOSバラクタ13とは、nウェル21の領域において互いに隣接する位置に形成される。一方、nMOSトランジスタ12とnMOSバラクタ14とは、p基板20の領域において互いに隣接する位置に形成される。詳細に説明すると、pMOSトランジスタ11は、Vddに接続されたソース31と、Doutに接続されたドレイン32と、Dinに接続されたゲート33と、nウェル21の電位をVddに固定するためのベース34とを有する。pMOSバラクタ13は、Vddに接続されたソース35と、同じくVddに接続されたドレイン36
50

と、XDinに接続されたゲート37とを有する。nMOSトランジスタ12は、Vssに接続されたソース41と、Doutに接続されたドレイン42と、Dinに接続されたゲート43と、p基板20の電位をVssに固定するためのベース44とを有する。nMOSバラクタ14は、Vssに接続されたソース45と、同じくVssに接続されたドレイン46と、XDinに接続されたゲート47とを有する。

【0011】図3（a）及び（b）は、図1中のデバイス11〜14の各々の容量対電圧特性を示している。ここでは、図3（a）を参照して、pMOSトランジスタ11の容量対電圧特性を詳細に説明する。

【0012】pMOSトランジスタ11の容量Cは、そのゲート・ソース間電圧Vgsに応じて変化する。この変化は、強反転層範囲、中間反転層範囲、弱反転層範囲、空乏層範囲及び蓄積層範囲に分けて考えることができる。まず、pMOSトランジスタ11のゲートにマイナス電位がかかると、ゲート絶縁膜直下のチャネルは反転する。ゲート電位と反転層電位との間に電荷が対峙して容量Coxが形成される（この場合の反転層の電荷はホールである）。反転層の下には空乏層があり、ここでも電荷が対峙しているため、容量Ciが存在する。また、反転層によるウェル構造の電位分布で容量Cbも発生する。これらの容量Cox、Ci及びCbの合計をpMOSトランジスタ11の容量Cとする。ただし、Coxが支配的である。ゲート電位の上昇とともにこの状態は弱められ、電荷がどんどん離散していく。つまり、容量Cが減少する。反転層がなくなり、空乏層のみとなった時点で電荷量が最も少なくなる。更にゲート電位を上昇させると、蓄積電荷（この場合、ゲート絶縁膜直下の層では電子）が貯まる。当然、ホールが貯まっていた時と同じ蓄積電荷量となり、容量Cは増えてCoxに戻る。このCoxの値は、 $Cox = \epsilon_{ox} \cdot S / t_{ox}$ である。ここで ϵ_{ox} はゲート絶縁膜の誘電率、Sはチャネル面積、 t_{ox} はゲート絶縁膜の厚みである。容量Cの最小値をCminとすると、ゲート電圧の反転（Vswing）で、 $Q_{tran} = 2 V_{swing} (Cox - Cmin)$ の電荷量を電源から注入しなければならない。電荷の反転をさせるため、2倍という係数がついている。これはpMOSトランジスタ11の出力電荷とは関係のない、自身を動作させるためのエネルギーといえる。

【0013】今、 $V_{swing} = 0.5V$ 、 $Cox = 5fF$ 、 $Cmin = 2.5fF$ とし、ゲートに入力される信号Dinの遷移時間（立ち上がり時間又は立ち下がり時間）を25psとすると、 $Q_{tran} = 1.25fC$ となり、 $I_{tran} = 50\mu A$ が25psの間流れ、これがpMOSトランジスタ11の駆動のために余分に必要となる。信号遷移のたびにこのエネルギーを瞬時に吸収・放出しなければならない。nMOSトランジスタ12についても同様である。

【0014】さて、図3(a)によれば、pMOSトランジスタ11は、ゲート電位がマイナスの方向へ遷移する過程(Dinの立ち下がり過程)でゲート直下にある蓄積電子を放出する結果、空乏層が形成される。この時のpMOSトランジスタ11ではまだチャンネルが形成されていないため、チャンネル領域の蓄積電荷(電子)は図2に示すとおりnウェル21に拡散していく。これはnウェル21の電位をV_{dd}よりも下げる働きをする。Dinの反転信号であるXDinをゲートに受け取るpMOSバラクタ13は、図2のように同じnウェル21内にまさにホールを放出し、会合で電子を吸収することができる。その後、pMOSトランジスタ11に反転層ができ、どんどん容量Cが大きくなってホールが必要な時、pMOSバラクタ13のゲートに入力されているXDinはプラスの方向へ遷移している時で電子を吸収している。同じnウェル21内での電子ホールペアの発生で、この電位分布の変化を吸収することができる。つまり、nウェル21内の電位バランスだけで蓄積電荷の操作ができ、高速対応の特性を持つだけでなく、従来消費されていた蓄積電荷の再利用という効果も生むことになる。ただし、pMOSトランジスタ11の容量Cの最低値の位置が図3(a)のとおりマイナス側に偏っているため、電荷の放出と吸収のタイミングが多少ずれることになるが、信号遷移時間のごく一部での出来事であり、問題は生じない。なお、Dinの立ち上がり過程は全くこの逆であり、説明を省略する。

【0015】nMOSトランジスタ12とnMOSバラクタ14との間で上記と同様な動作がp基板20の中で起こることは、図2及び図3(b)に示されている。

【0016】以上のとおり、図1の構成によれば、Dinに呼応してオン・オフするpMOSトランジスタ11に対してpMOSバラクタ13を配設することにより、pMOSバラクタ13は、Dinの遷移時にpMOSトランジスタ11との間で電荷の授受を行うことによりpMOSトランジスタ11の高速状態遷移を助ける働きをする。同様に、Dinに呼応してオン・オフするnMOSトランジスタ12に対してnMOSバラクタ14を配設することにより、nMOSバラクタ14は、Dinの遷移時にnMOSトランジスタ12との間で電荷の授受を行うことによりnMOSトランジスタ12の高速状態遷移を助ける働きをする。

【0017】図4は、本発明に係る半導体集積回路の第2の基本構成例を示している。図4において、pMOSトランジスタ11とnMOSトランジスタ12とは、信号Dinを入力とし、信号Doutを出力とするCMOS構成のラインドライバ10を構成している。pMOSトランジスタ11のソースと電源V_{dd}との間にはnMOSバラクタ14が、nMOSトランジスタ12のソースとグラウンドV_{ss}との間にはpMOSバラクタ13がそれぞれ介在している。両MOSバラクタ13、14の各々のゲ

ートには、Dinの反転信号であるXDinが与えられる。

【0018】図5は、図4の半導体集積回路の断面構造を示している。図5において、20はp基板、21及び22はnウェルである。pMOSトランジスタ11とnMOSバラクタ14とが互いに隣接する位置に、nMOSトランジスタ12とpMOSバラクタ13とが互いに隣接する位置にそれぞれ形成される。

【0019】図6(a)及び(b)は、図4中のデバイス11~14の各々の容量対電圧特性を示している。

【0020】図6(a)によれば、pMOSトランジスタ11は、ゲート電位がマイナスの方向へ遷移する過程(Dinの立ち下がり過程)で、図5に示すとおり蓄積電子をnウェル21に放出する。この電子は、ベース34のコンタクト電極を通じてnMOSバラクタ14に供給される。nMOSバラクタ14は、XDinに応答して全く同じタイミングでp基板20にホールを放出している。それぞれが近傍にあるため、この電位はnMOSバラクタ14のソース45とp基板20との接合部で相殺される。pMOSトランジスタ11のゲート電位が低下し、反転層ができ、ホールが必要になる時、nMOSバラクタ14はホールを放出している時であり、それぞれが同様の経路を通じて流出、流入する。いわゆるポンプアップという状態となり、ホールがpMOSトランジスタ11のチャンネル領域に注入される。nMOSトランジスタ12とpMOSバラクタ13との間で上記と同様な動作が起こることは、図5及び図6(b)に示されている。

【0021】以上のとおり、図4の構成によれば、Dinに呼応してオン・オフするpMOSトランジスタ11に対してnMOSバラクタ14を配設することにより、nMOSバラクタ14は、Dinの遷移時にpMOSトランジスタ11との間で電荷の授受を行うことによりpMOSトランジスタ11の高速状態遷移を助ける働きをする。同様に、Dinに呼応してオン・オフするnMOSトランジスタ12に対してpMOSバラクタ13を配設することにより、pMOSバラクタ13は、Dinの遷移時にnMOSトランジスタ12との間で電荷の授受を行うことによりnMOSトランジスタ12の高速状態遷移を助ける働きをする。

【0022】なお、上記の各例はエンハンスメント型のMOSバラクタ13、14を採用したものであったが、MOSトランジスタとMOSバラクタとの組み合わせは、反転信号XDinを採用する限りにおいていろいろな構成が取れる。例えば、pMOSトランジスタ11に対してディプレッション型のnMOSバラクタ14を、nMOSトランジスタ12に対してディプレッション型のpMOSバラクタ13をそれぞれ配設することもできる。nチャンネル型デバイス的高速性を利用して、pMOSトランジスタ11に対してディプレッション型のnMOSバラクタ、nMOSトランジスタ12に対してエン

ハンスメント型のnMOSバラクタという組み合わせでもよい。

【0023】図6(c)は、nMOSトランジスタ12に対してディプレッション型のpMOSバラクタ13を配設した例を示している。図6(c)によれば、ディプレッション型pMOSバラクタ13の採用によりポンプアップ、ポンプダウンのタイミングを自由に制御することができるが、チャネル形成電荷は蓄積電荷という考え方(それ自身が中性)でないため、図6(c)のようにこの部分の容量が小さく、nMOSトランジスタ12のゲート下における蓄積電荷のp基板20への拡散による電位変化の補償が取れないことになる。しかしながら、反転層形成電荷の方が大きい場合が多く、この構造でも反転層の電荷のポンプアップ、ポンプダウンをタイミング良くできる。また、pMOSバラクタ13の容量を少し大きくしておけば、全体の変位電荷量をカバーすることができる。

【0024】図7は、本発明に係る半導体集積回路の第3の基本構成例を示している。図7において、pMOSトランジスタ11とnMOSトランジスタ12とは、信号Dinを入力とし、信号Doutを出力とするCMOS構成のラインドライバ10を構成している。pMOSトランジスタ11のソースとDinとの間には第1のpn接合型バラクタ15が、nMOSトランジスタ12のソースとDinとの間には第2のpn接合型バラクタ16がそれぞれ介在している。両pn接合型バラクタ15、16の容量変化幅は、pMOSトランジスタ11及びnMOSトランジスタ12の各々の容量変化幅の1~2倍に設定されている。

【0025】図8は、図7の半導体集積回路の断面構造を示している。pMOSトランジスタ11と第1のpn接合型バラクタ15とは、nウェル21の領域において互いに隣接する位置に形成される。一方、nMOSトランジスタ12と第2のpn接合型バラクタ16とは、p基板20の領域において互いに隣接する位置に形成される。詳細に説明すると、第1のpn接合型バラクタ15は、Dinに接続されたp型領域51と、nウェル21の一部からなるn領域と、Vddに接続されたp型領域52とで構成されている。第2のpn接合型バラクタ16は、Dinに接続されたn型領域61と、p基板20の一部からなるp領域と、Vssに接続されたn型領域62とで構成されている。

【0026】図9は、図7中の各バラクタダイオードの電流対電圧特性及び容量対電圧特性を示している。周知のように、pn接合はその空乏層の電圧Vによる深さの変化で接合容量Cが図9のように変化する。図7の構成は、これを積極的に利用したものであって、反転信号XDinは不要である。

【0027】図8によれば、pMOSトランジスタ11は、Dinの立ち下がり過程で電子を放出する。第1のp

n接合型バラクタ15において同じDinが入力されているp型領域51は空乏層の広がる方向となり、捕捉していたホールを放出する。nウェル21内でこれらの電荷が相殺される結果、pMOSトランジスタ11の遷移を助ける。一方、nMOSトランジスタ12が電子を放出している時、第2のpn接合型バラクタ16においてDinが入力されているn型領域61は空乏層が浅くなる時(容量が増える時)であり、放出された電子を捕捉する。なお、Dinの立ち上がり過程は全くこの逆であり、説明を省略する。

【0028】以上のとおり、図7の構成によれば、Dinに呼応してオン・オフするpMOSトランジスタ11に対してpn接合型バラクタ15を配設することにより、pn接合型バラクタ15は、Dinの遷移時にpMOSトランジスタ11との間で電荷の授受を行うことによりpMOSトランジスタ11の高速状態遷移を助ける働きをする。同様に、Dinに呼応してオン・オフするnMOSトランジスタ12に対してpn接合型バラクタ16を配設することにより、pn接合型バラクタ16は、Dinの遷移時にnMOSトランジスタ12との間で電荷の授受を行うことによりnMOSトランジスタ12の高速状態遷移を助ける働きをする。

【0029】図10は、本発明に係る半導体集積回路の第4の基本構成例を示している。図10において、npnトランジスタ17とpnptランジスタ18とは、信号Dinを入力とし、信号Doutを出力とする相補構成のラインドライバ10を構成している。npnトランジスタ17のコレクタとDinとの間には第1のpn接合型バラクタ15が、pnptランジスタ18のコレクタとDinとの間には第2のpn接合型バラクタ16がそれぞれ介在している。両pn接合型バラクタ15、16の容量変化幅は、両バイポーラトランジスタ17、18の各々の接合容量変化幅の1~2倍に設定されている。

【0030】図11は、図10の半導体集積回路の断面構造を示している。npnトランジスタ17と第1のpn接合型バラクタ15とは、nウェル21の領域において互いに隣接する位置に形成される。一方、pnptランジスタ18と第2のpn接合型バラクタ16とは、p基板20の領域において互いに隣接する位置に形成される。詳細に説明すると、npnトランジスタ17は、Vddに接続されたコレクタ71と、Dinに接続されたベース72と、Doutに接続されたエミッタ73とを有する。pnptランジスタ18は、Vssに接続されたコレクタ81と、Dinに接続されたベース82と、Doutに接続されたエミッタ83とを有する。

【0031】第1及び第2のpn接合型バラクタ15、16は、両バイポーラトランジスタ17、18の一番大きな容量を持つベース・コレクタ間の蓄積電荷に対応するバラクタとして機能する。つまり、図10の構成によれば、Dinに呼応してオン・オフするnpnトランジス

タ 17 に対して p n 接合型バラクタ 15 を配設することにより、p n 接合型バラクタ 15 は、Din の遷移時に n p n トランジスタ 17 との間で電荷の授受を行うことにより n p n トランジスタ 17 の高速状態遷移を助ける働きをする。同様に、Din に呼応してオン・オフする p n p トランジスタ 18 に対して p n 接合型バラクタ 16 を配設することにより、p n 接合型バラクタ 16 は、Din の遷移時に p n p トランジスタ 18 との間で電荷の授受を行うことにより p n p トランジスタ 18 の高速状態遷移を助ける働きをする。

【0032】図 12 は、上記本発明に係る半導体集積回路の電源及びドライバビリティの説明図である。図 12 によれば、図 1、図 4、図 7 又は図 10 のラインドライバ 10 が信号ライン 90 を駆動する。91 はレシーバ負荷を、92 は信号ライン 90 と全ての隣接配線との間の電磁結合による損失を表している。ドライバ 10 の電源 Vdd 及びグラウンド Vss は、電源ライン 93 に接続されている。94 は元電源を、95 は電源ライン 93 と全ての隣接配線との間の電磁結合による損失を表している。電源電流が直流的であれば、電源ライン 93 の電磁結合はなくなり、損失はなくなる。信号ライン 90 も同様である。ドライバ 10 は、レシーバ負荷 91 を許容時間内で駆動できるエネルギー（電荷量）を送信できればよい。

【0033】このような損失を有するライン 90、93 は途中で漏洩のある水道のパイプに見立てることができる。ドライバ 10 はそのバルブであると考えられる。ドライバ・レシーバ間のパイプの太さに比べてバルブ直前のパイプの太さ（元電源 94 の直近のパイプより漏洩で細くなっている。）が太ければ、全く問題がなく、水を必要量だけドライバ 10 より供給できる。この関係を保つ以上、バイパスコンデンサは不要である。

【0034】しかし、トランジスタ蓄積電荷に起因した容量成分の反転には瞬時電流が必要であり、損失を有する電源ライン 93 では遠い元電源 94 からエネルギーを瞬時にドライバ 10 へ供給できないため、従来はバイパスコンデンサを電源ライン 93 のできるだけドライバ 10 に近いところに挿入していることは前述のとおりである。ところが、本発明のバラクタによる補償を採用すれば、電源ライン 93 のパイプの太さ、すなわち電源ライン 93 の特性インピーダンスが、信号ライン 90 の特性インピーダンスより小さければ問題がない。ただし、不幸なことに損失容量がトランジスタの蓄積電荷と同じ作用をすることがあるので、やはり電源ライン 93 のあちこちにバイパスコンデンサを挿入して、電源パイプの補強をしなければならない。

【0035】論理回路やメモリ回路は高速処理のため、リング防止回路（抵抗挿入など）、プルアップ・プルダウン回路、プッシュプル回路、スリューレート制御回路、PLL 回路などいろいろな回路が付属しているが、本発明のバラクタを挿入することで、上記付加的な

回路はほぼ全廃できる効果を持つものであり、バラクタの挿入によるチップ面積の増大を相殺することが可能である。

【0036】上記各断面構造図から見てわかるように、プロセスステップの増加はほとんどないという利点もある。また、相補的でない構成の半導体集積回路でも、トランジスタ、ダイオード、接合型容量、チャネル型抵抗、チャネル型容量が存在する限りにおいて本発明が有効であることは言うまでもない。更に言うならば、シリコントランジスタ以外の化合物トランジスタでも本発明が有効であることは、本発明の原理から類推できることである。

【0037】

【発明の効果】以上説明してきたとおり、本発明によれば、信号遷移時にスイッチングデバイスとの間で電荷の授受を行うことにより当該スイッチングデバイスの高速状態遷移を助けるバラクタデバイスを採用することで、100GHz 帯の信号をも取り扱える半導体集積回路を実現することができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体集積回路の第 1 の基本構成例を示す回路図である。

【図 2】図 1 の半導体集積回路の断面構造図である。

【図 3】(a) 及び (b) は図 1 中の各デバイスの容量対電圧特性を示す図である。

【図 4】本発明に係る半導体集積回路の第 2 の基本構成例を示す回路図である。

【図 5】図 4 の半導体集積回路の断面構造図である。

【図 6】(a) 及び (b) は図 4 中の各デバイスの容量対電圧特性を、(c) は図 4 中の p チャネル型 MOS バラクタの他の容量対電圧特性をそれぞれ示す図である。

【図 7】本発明に係る半導体集積回路の第 3 の基本構成例を示す回路図である。

【図 8】図 7 の半導体集積回路の断面構造図である。

【図 9】図 7 中の各バラクタダイオードの電流対電圧特性及び容量対電圧特性を示す図である。

【図 10】本発明に係る半導体集積回路の第 4 の基本構成例を示す回路図である。

【図 11】図 10 の半導体集積回路の断面構造図である。

【図 12】本発明に係る半導体集積回路の電源及びドライバビリティの説明図である。

【符号の説明】

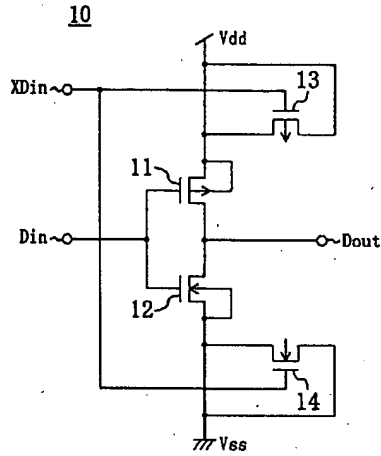
- 10 ラインドライバ
- 11 p チャネル型 MOS トランジスタ
- 12 n チャネル型 MOS トランジスタ
- 13 p チャネル型 MOS バラクタ
- 14 n チャネル型 MOS バラクタ
- 15, 16 p n 接合型バラクタ
- 17 n p n トランジスタ

11
18 pnpトランジスタ
20 p型半導体基板
21, 22 nウェル

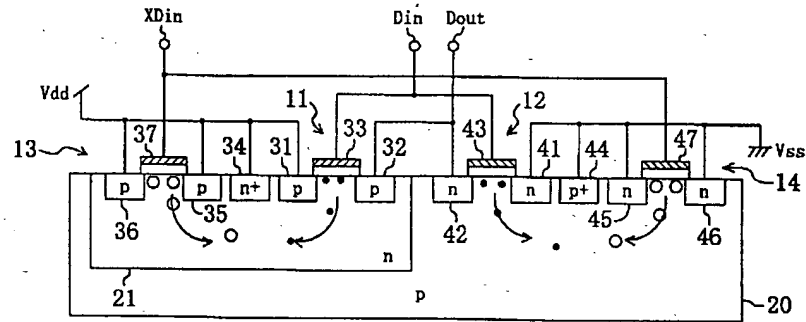
* 90 信号ライン
93 電源ライン
*

12

【図1】

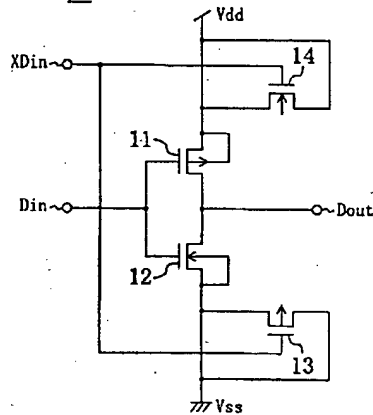


【図2】

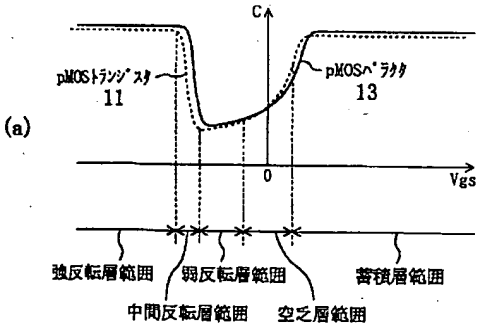


【図4】

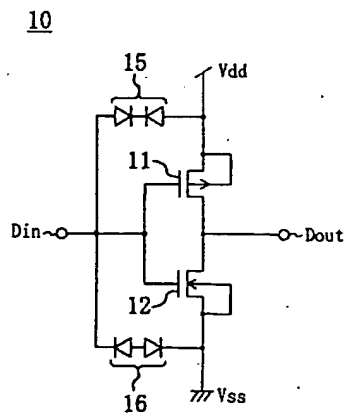
10



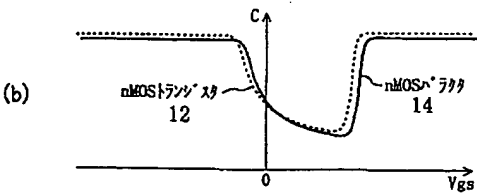
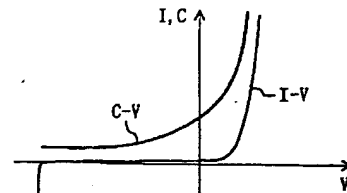
【図3】



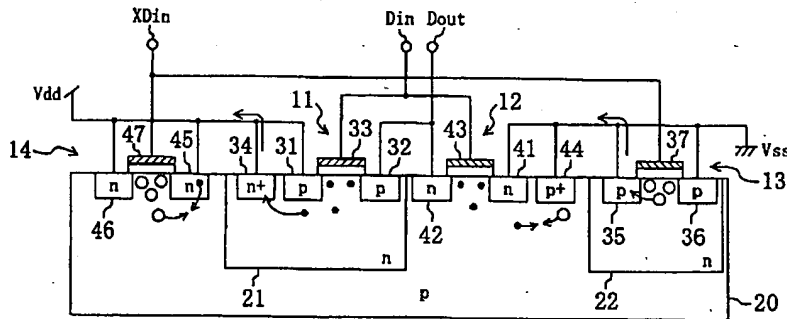
【図7】



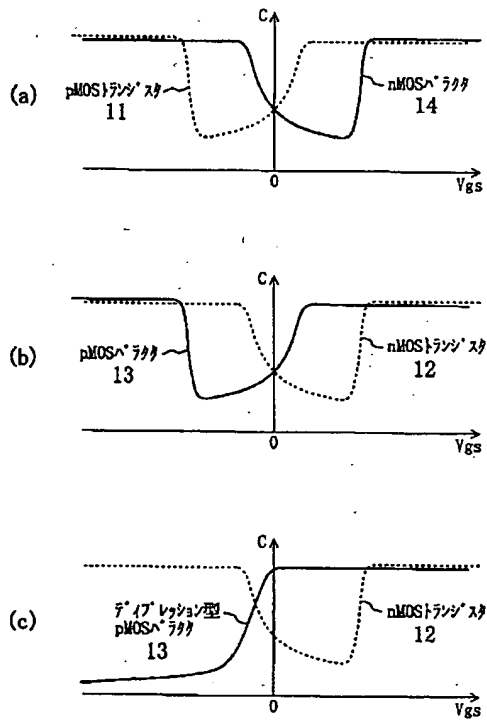
【図9】



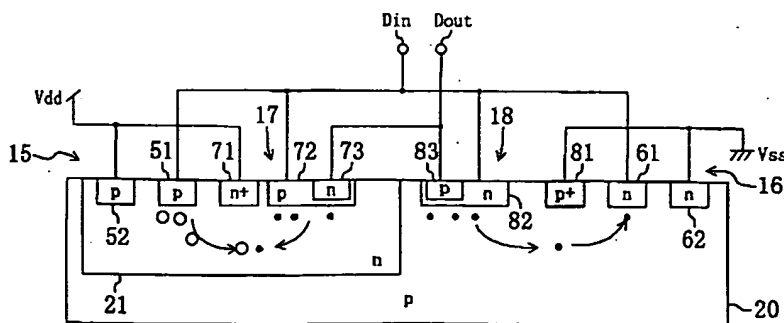
【図5】



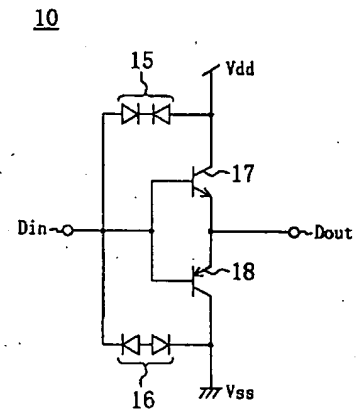
【図6】



【図11】



【図10】



[illegible]

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目 2 番 3 号

(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町21番地

(72)発明者 大塚 寛治
東京都東大和市湖畔 2 - 1074 - 38

(72)発明者 宇佐美 保
東京都国分寺市西町 2 - 38 - 4

Fターム(参考) 5F038 AV01 AV05 AV06 BG03 BG05
CA02 DF02 DF17 EZ20